

MENU

SEARCH

INDEX

DETAIL

1/1



JAPANESE PATENT OFFICE

 V
 [Handwritten signature/initials]

PATENT ABSTRACTS OF JAPAN

(11)Publication number: **07130281**(43)Date of publication of application: **19.05.1995**

(51)Int.Cl.

H01J 1/30

(21)Application number: **05270632**

(71)Applicant:

NEC CORP(22)Date of filing: **28.10.1993**

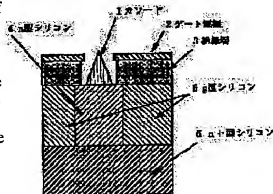
(72)Inventor:

**KURIYAMA TOSHIHIDE
MAKISHIMA HIDEO**(54) **ELECTRIC FIELD EMISSION TYPE CATHODE DEVICE**

(57)Abstract:

PURPOSE: To improve the reliability by controlling a current by an active element as well as suppressing the dispersion of electron emission, in an electron emission type cathode device consisting of a plurality of cathodes.

CONSTITUTION: A p-type silicon 5 and an n-type silicon 4 are formed on an n+-type silicon 6. A cathode 1 consisting of molybdenum Mo is formed on the n-type silicon 4, and the cathode 1 is surrounded by a gate electrode 2 and an insulating layer 3. The n-type silicon works as the channel part of a junction type of field effect transistor, and the current flowing there is controlled with the voltage given to the p-type silicon 5. Accordingly, the current by the electrons emitted from the cathode 1 is also controlled with the transistor, and by setting the operation in the saturation area of the transistor, the dispersion of the electron emission efficiency of each cathode can be controlled. Moreover, even if some cathodes are broken, the whole never breaks, so the life of the electric field emission type cathode device can be elongated.



LEGAL STATUS

[Date of request for examination] 25.03.1994

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2861755

[Date of registration] 11.12.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

MENU

SEARCH

INDEX

DETAIL

(51) Int.Cl.⁴

H01J 1/30

識別記号

庁内整理番号

B

F I

技術表示箇所

審査請求 有 請求項の数 4 O L (全 4 頁)

(21) 出願番号 特願平5-270632

(22) 出願日 平成5年(1993)10月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 栗山 敏秀

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 巻島 秀男

東京都港区芝五丁目7番1号 日本電気株式会社内

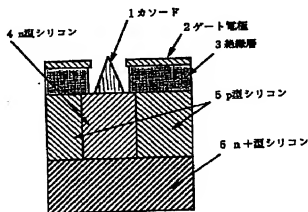
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 電界放出型陰極装置

(57) 【要約】

【目的】 複数のカソードからなる電界放出型陰極装置において、電子放出のばらつきをおさえるとともに、電流を熱電子により制御し、信頼性を高くする。

【構成】 n^+ 型シリコン6の上に p 型シリコン5と n 型シリコン4が形成されている。 n 型シリコン4の上にはモリブデンMoからなるカソード1が形成され、カソード1はゲート電極2と絶縁層3により取り囲まれている。 n 型シリコンは接合型電界効果トランジスタのチャネル部として働き、そこを流れる電流は p 型シリコン5に加えられる電圧で制御される。したがって、カソード1から放出される電子による電流もトランジスタで制御され、トランジスタの飽和領域に動作を設定することにより、各カソードの電子放出効率のばらつきを制御できる。また、一部のカソードが破壊されても、全体が壊れることはなく、電界放出型陰極装置の長寿命化が図れる。



1

【特許請求の範囲】

【請求項1】 急峻な先端形状を持つ導電体からなるカソードとこのカソード取り囲むゲート電極からなる電界放出型陰極装置において、上記カソードが電流飽和特性を持つ能動素子と直列に接続され、この能動素子とゲート電極の間に電圧が加えられるとともに、カソードを流れる電流量が上記能動素子により変調され、かつ、上記能動素子の耐圧が能動素子とゲート電極の間に加えられる電圧よりも高いことを特徴とする電界放出型陰極装置。

【請求項2】 第1の請求項の能動素子が、接合型電界効果トランジスタである電界放出型陰極装置。

【請求項3】 第1の請求項の能動素子が、絶縁ゲート型電界効果トランジスタである電界放出型陰極装置。

【請求項4】 第1の請求項の能動素子が、バイポーラトランジスタである電界放出型陰極装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電界放出型陰極装置に関するものである。

【0002】

【従来の技術】 先端が尖った微小なコーン状電極に、強電界をかけることで電子が放出される。このような微小な電界放出型陰極として、図4に示すようなスピント (Spindt) 型の電界放出型陰極装置が知られている。

【0003】 図4において、10はガラス等の絶縁基板で、この上にA1等からなるカソード電極が形成され、このカソード電極9の上にはたとえば、W、Mo等の高融点金属からなり、尖鋭な先端を持つコーン状のカソード1が形成される。そしてこのカソードは、周囲をSiO₂等からなる絶縁層3とその上に形成されたMo、W、Cr等の高融点金属から成るゲート電極2により取り囲まれた構造を持つ。

【0004】 このような電界放出型陰極装置において、ゲート電極とカソード1との間に、電界強度が約 10^4 V/cm程度以上となるように電圧を印加すると、カソード1から電子が放出される。

【0005】 このようなカソードを複数個設けることにより、所望の電流量に相当する電子ビームを得ることができるが、カソードの形状やゲート電極の形状にわずかなばらつきがあると、各カソードからの電子放出にばらつきが発生したり、一部の素子の破壊により寿命が短くなるという好ましくない現象が起こった。

【0006】 この現象を防ぐ一つの方法として、フランスの原子力開発庁長官 (Commissariat a l'Energie Atomique, France) から、カソード電極とカソードとの間に厚さ数 μm 程度で、抵抗が数百〜数百万 $\Omega \cdot \text{cm}$ 程度のSi等の薄膜からなる抵抗層を設ける構造が提案されている。このように、カソードとカソード電極の間に抵抗層

2

を設けることによって各カソードからの電子放出量のばらつきを小さくすることができた。また、従来問題になっていたカソードとゲート電極の間の絶縁が劣化した場合、短絡電流が流れ素子が破壊されるという現象も、カソード電極とカソードの間に存在する抵抗層により短絡状態を引き起こさないため、防ぐことができる。

【0007】 また、他の方法として、双葉電子工業株式会社からカソード電極とカソードの間に定電流素子を設ける方法も提案されている (特開平4-249026号公報)。

【0008】

【発明が解決しようとする課題】 従来の電流制限用抵抗層を設ける方法では、抵抗層での電圧降下が大きいため、ゲートとカソード電極の間にかける駆動電圧をあげる必要があり、また、カソードから放出される電子のばらつきをおさえる効果が不十分であるという問題点があった。また、従来の定電流素子を設ける方法では、ばらつきをおさえる効果はあるが、電界放出型陰極装置をディスプレイ用陰極管 (Cathode Ray Tube、以下CRTと略す) の電子銃に使う場合、放出電子量を变化させ画面の輝度を変調することが必要であるため、適用は不可能であった。

【0009】 本発明の目的は、これらの欠点をなくし、CRT用の使用に適した、ばらつきをおさえられ、寿命が長い電界放出型陰極装置を提供することにある。

【0010】

【課題を解決するための手段】 本発明は、急峻な先端形状を持つ導電体からなるカソードとこのカソード取り囲むゲート電極からなる電界放出型陰極装置において、上記カソードが電流飽和特性を持つ能動素子と直列に接続され、この能動素子とゲート電極の間に電圧が加えられるとともに、カソードを流れる電流量が上記能動素子により変調され、かつ、上記能動素子の耐圧が能動素子とゲート電極間に加えられる電圧よりも高いことを特徴とする電界放出型陰極装置である。

【0011】

【作用】 本発明電界放出型陰極装置では、カソードから放出される電子による電流はカソードと直列に接続された電流飽和特性を持つ能動素子によって決定されるため、カソードの形状やゲート形状のバラツキにより生じる電子放出のバラツキは起こらない。また、一部の素子が破壊しても、そこに流れる電流は電流飽和特性を持つ能動素子により制御されるので全体の破壊に広がることはなく、長寿命化が可能となる。

【0012】

【実施例】 以下、本発明について図面を参照して詳細に説明する。

【0013】 (実施例1) 図1は本発明による電界放出型陰極装置の第2の請求項に相当する一実施例の断面図で、図面において1はMoからなる先端が尖った形状を

3
持つカソード、2はWからなるゲート電極、3はSIO₂等からなる絶縁層、4はカソード1の下部に設けられた円筒状のn型シリコン、5は円筒状のn型シリコン4を取り囲む形状を持つp型シリコン、6はn⁺型シリコンである。カソード1は高さ0.5~1μm程度のコーン状で周辺を直径0.5~1μm程度の間隙を隔て絶縁層3とゲート電極2により取り囲まれた構造を持つ。また、n型シリコン4、p型シリコン5およびn⁺型シリコン6は接合型電界効果トランジスタを形成し、p型シリコン5の電圧を変化させることにより、n⁺シリコン6からチャネルとなるn型シリコン4を流れる電流を制御することができる。また、この接合型電界効果トランジスタのソース、ドレイン両面は、電子放出のためカソード1とゲート電極2間に印加する電圧よりも高くすることが必要で、このため接合電界効果トランジスタのチャネル領域となるn型シリコン4の不純物量nおよび深さwは、カソード1とn⁺型シリコン6の間に印加する電圧をV、とすれば、

$$n \approx p$$

$$w > 2V / \epsilon$$

であるように選べば良い。ここで、pは、n型シリコン4を取り囲むp型シリコン5の一つのカソードに相当する不純物量で、εはシリコンの破壊電界強度である。上記の条件を満たせば、カソード1とゲート電極2の一部が破壊し、短絡しても、その部分を流れる電流は破壊したカソードに相当するn型シリコン4により制限されるため、装置全体の破壊にはつながらない。

【0014】(実施例2) 図2は本発明による電界放出型陰極装置の第3の請求項に相当する一実施例の断面図で、図面において1はMoからなる先端が尖った形状を持つカソード、2はWからなるゲート電極、3はSIO₂等からなる絶縁層、4はn型シリコン、5はp型シリコン、6はn⁺型シリコン、7は金属製のソース電極、8は絶縁ゲート型電界効果トランジスタ(Insulated Gate Field Effect Transistor、以下IGFETと略す)である。カソード1は高さ0.5~1μm程度のコーン状で周辺を直径0.5~1μm程度の間隙を隔て絶縁層3とゲート電極2により取り囲まれた構造を持つ。また、n型シリコン4、p型シリコン5およびn⁺型シリコン6、ソース電極7、IGFETゲート8は、IGFETを形成し、IGFETゲート8の電圧を変化させることにより、ソース電極7からチャネルとなるIGFETゲート電極下のp型シリコン5の表面およびn型シリコン4を流れる電流を制御することができる。また、このIGFETのソース、ドレイン両面は、電子放出のためカソード1とゲート電極2間に印加する電圧よりも高くすることが必要で、このためには図2のn型シリコン4の領域をピンチオフ抵抗として使用し、IGFETのドレインに相当するn⁺型シリコン6の電圧上昇を吸収するようにす

ば、耐圧は高くなる。たとえば、p型シリコン5の濃度を $1 \times 10^{18} \text{ cm}^{-3}$ 、n型シリコン4の単位面積当たりの不純物量を $2 \times 10^{17} \text{ cm}^{-2}$ 、横方向の長さを10μmとすれば100V以上の耐圧が得られる。このため、カソード1とゲート電極2の一部が破壊し、短絡しても、その部分を流れる電流は破壊したカソードに相当するn型シリコン4により制限されるため、装置全体の破壊にはつながらない。

【0015】(実施例3) 図3は本発明による電界放出型陰極装置の第4の請求項に相当する一実施例の断面図で、図面において1はMoからなる先端が尖った形状を持つカソード、2はWからなるゲート、3はSIO₂等からなる絶縁層、4はn型シリコン、5はp型シリコン、6はn⁺型シリコンである。カソード1は高さ0.5~1μm程度のコーン状で周辺を直径0.5~1μm程度の間隙を隔て絶縁層3とゲート電極2により取り囲まれた構造を持つ。また、n型シリコン4はカソード1の下部に形成されp型シリコンに埋め込まれた構造を持つ。n型シリコン4、p型シリコン5およびn⁺型シリコン6はバイポーラトランジスタを形成し、バイポーラトランジスタのベースとなる5の電圧を変化させることにより、バイポーラトランジスタのエミッタとなるn⁺型シリコンからバイポーラトランジスタのコレクタになるn型シリコン4へ流れる電流を制御することができる。また、n型シリコン4の深さ方向の長さwは、カソード1とn⁺型シリコン6との間に加える電圧をV、とすれば、

$$w > 2V / \epsilon$$

であるように選べば良い。ここで、pは、n型シリコン4を取り囲むp型シリコン5の一つのカソードに相当する不純物量で、εはシリコンの破壊電界強度である。上記の条件を満たせば、カソード1とゲート電極2の一部が破壊し、短絡しても、その部分を流れる電流は破壊したカソードに相当するn型シリコン4により制限されるため、装置全体の破壊にはつながらない。

【0016】以上の実施例では、一つのカソードに対し、一つの電流路と特性を持つ能動素子が接続されていたが、複数のカソードに対し、一つの電流路と特性を持つ能動素子を接続することも可能である。この場合、一つのカソードが破壊されるとそれが接続される能動素子に属するカソードは動作しなくなるが、他の能動素子に属するカソードは正常に動くため、素子の信頼性は向上し、寿命が伸びるという特徴は発揮できる。

【0017】

【発明の効果】以上、説明したとおり、本発明によれば、カソードから放出される電子による電流はカソードと直列に接続された電流路と特性を持つ能動素子によって決定されるため、カソードの形状やゲート形状のパラメータにより生じる電子放出のパラメータは起こらない。また、一部の素子が破壊しても、そこに流れる電流は電流

5

飽和特性を持つ能動素子により制限されるので全体の破壊に広がることはなく、長寿命化が可能となる。さらに、放出される電子の量は、能動素子により制御されるため、制御電圧が低くできるという利点があり、CRT用の使用に適した、ばらつきがおさえられ、寿命が長い電界放出型陰極装置を可能にするという効果を有す。

【図面の簡単な説明】

【図1】 接合型電界効果トランジスタを用いた電界放出型陰極装置の一実施例の断面図である。

【図2】 絶縁ゲート型電界効果トランジスタを用いた電界放出型陰極装置の一実施例の断面図である。

【図3】 パイポーラトランジスタを用いた電界放出型陰極装置の一実施例の断面図である。

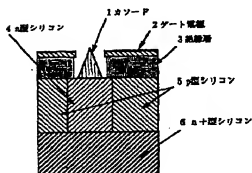
6

【図4】 従来の電界放出型陰極装置の断面図である。

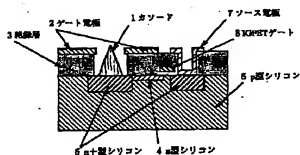
【符号の説明】

- 1 カソード
- 2 ゲート電極
- 3 絶縁層
- 4 n型シリコン
- 5 p型シリコン
- 6 n⁺型シリコン
- 7 ソース電極
- 8 IGFTゲート
- 9 カソード電極
- 10 基板

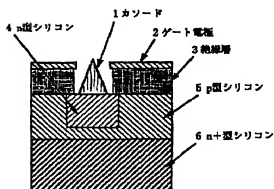
【図1】



【図2】



【図3】



【図4】

